

CLIPPEDIMAGE= JP406104375A
PAT-NO: JP406104375A
DOCUMENT-IDENTIFIER: JP 06104375 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 15, 1994

INVENTOR-INFORMATION:

NAME

TSUBOSAKI, KUNIHIRO
WATANABE, HIROSHI
MIKINO, HIROSHI
SHIOTSUKI, TOSHIHIRO
SUZUKI, HIROMICHI
MIYAKI, YOSHINORI
NAITO, TAKAHIRO
AKEYAMA, KENJI
TOIDA, TOKUJI
SUMIYA, AKIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP04295870

APPL-DATE: November 5, 1992

INT-CL (IPC): H01L023/50; H01L021/60

US-CL-CURRENT: 438/FOR.380,29/827 ,257/676

ABSTRACT:

PURPOSE: To increase the manufacturing yield of and reliability upon an LSI package using a compound lead frame.

CONSTITUTION: An insulating substrate 3a for mounting a semiconductor chip is arranged on the central part of a lead frame. Many conductor wirings 5 are formed around a chip mounting region 4 on the main surface of the insulating substrate 3a. On the other hand, multiple leads 6 are arranged outside the insulating substrate 3a and one ends of respective leads 6 are extended to the parts near the insulating substrate 3a. Furthermore, one-sided ends of suspended leads 7 are junctioned with the four corners of the

insulating
substrate 3a to be supported and fixed by these four suspended
leads 7.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-104375

(43)公開日 平成 6年(1994) 4月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50	Y	9272-4M		
	U	9272-4M		
21/60	3 0 1 A	6918-4M		

審査請求 未請求 請求項の数13(全 19 頁)

(21)出願番号 特願平4-295870

(22)出願日 平成 4年(1992)11月 5 日

(31)優先権主張番号 特願平4-208830

(32)優先日 平 4 (1992) 8 月 5 日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 坪崎 邦宏

東京都小平市上水本町 5 丁目20番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 渡辺 宏

東京都小平市上水本町 5 丁目20番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 三木野 博

東京都小平市上水本町 5 丁目20番 1 号 株
式会社日立製作所武蔵工場内

(74)代理人 弁理士 筒井 大和

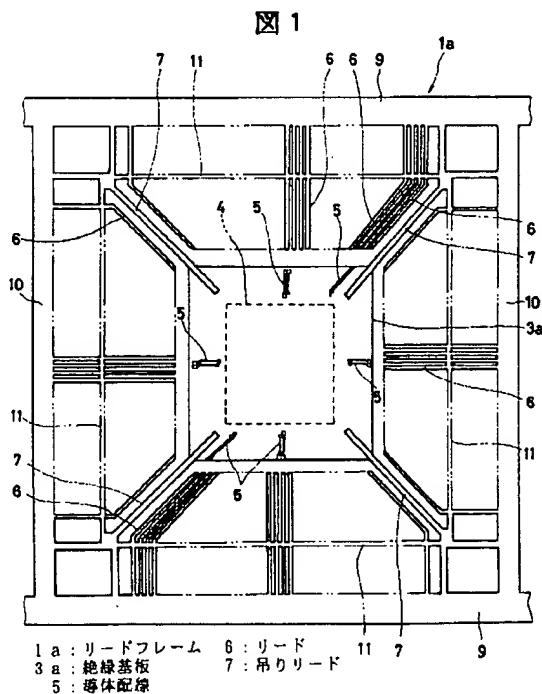
最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 複合リードフレームを使った L S I パッケージの製造歩留り、信頼性を向上させる。

【構成】 リードフレーム 1 の中央には、半導体チップを搭載する絶縁基板 3 a が配置されている。絶縁基板 3 a の主面のチップ搭載領域 4 の周囲には、多数の導体配線 5 が形成されている。絶縁基板 3 a の外側には、多数のリード 6 が配置されており、それぞれのリード 6 の一端は、絶縁基板 3 a の近傍まで延在している。絶縁基板 3 a の四隅には、吊りリード 7 の一端が接合されており、これら 4 本の吊りリード 7 によって絶縁基板 3 a がリードフレーム 1 に支持、固定される構造になっている。



1

【特許請求の範囲】

【請求項1】 その主面に複数のボンディングパッドを有する半導体チップと、樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に前記半導体チップを搭載した絶縁基板と、前記絶縁基板の周辺に配置された複数のリードと、前記絶縁基板に接続され、前記絶縁基板を支持する吊りリードと、前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電気的に接続する第1のボンディングワイヤと、

前記導体配線の第2のボンディング領域と、前記リードとを電気的に接続する第2のボンディングワイヤと、前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなる半導体集積回路装置。

【請求項2】 前記樹脂フィルムには、その両面にセラミック薄膜がコーティングされていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記絶縁基板は複数の開孔部を有し、前記開孔部のそれぞれは、前記半導体チップの一边を横切るように配置されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 その主面に複数のボンディングパッドを有する半導体チップと、

樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に前記半導体チップを搭載した絶縁基板と、

前記絶縁基板の周辺に配置され、前記導体配線の第2のボンディング領域に電気的、かつ機械的に接続された複数のリードと、

前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電気的に接続するボンディングワイヤと、

前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなる半導体集積回路装置。

【請求項5】 前記樹脂フィルムには、その両面にセラミック薄膜がコーティングされていることを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 前記絶縁基板は複数の開孔部を有し、前記開孔部のそれぞれは、前記半導体チップの一边を横切るように配置されていることを特徴とする請求項4記載の半導体集積回路装置。

【請求項7】 樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に開孔部を持ち所定の幅を有する額縁状の絶縁基板と、

前記絶縁基板の開孔部内に配置され、その主面に複数の

2

ボンディングパッドを有する半導体チップと、前記絶縁基板の周辺に配置された複数のリードと、前記絶縁基板に接続され、前記絶縁基板を支持する吊りリードと、

前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電気的に接続する第1のボンディングワイヤと、

前記導体配線の第2のボンディング領域と、前記リードとを電気的に接続する第2のボンディングワイヤと、

10 前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなり、前記半導体チップおよび前記絶縁基板の各辺との間には前記樹脂が介在していることを特徴とする半導体集積回路装置。

【請求項8】 前記半導体チップの下部には、前記吊りリードと一体に形成され、前記吊りリードの幅よりも大きいチップ搭載領域が設けられていることを特徴とする請求項7記載の半導体集積回路装置。

【請求項9】 前記チップ搭載領域には、前記半導体チップよりも小さい面積を有する開孔部が設けられていることを特徴とする請求項8記載の半導体集積回路装置。

20 【請求項10】 前記吊りリードは、前記吊りリードと一体に形成され、前記吊りリードから突出した基板支持用パッドを有し、前記絶縁基板は、接着剤を介して前記基板支持用パッドに接着されていることを特徴とする請求項7記載の半導体集積回路装置。

30 【請求項11】 前記半導体チップの複数のボンディングパッドおよび前記導体配線の複数の第1のボンディング領域は、それぞれ等間隔に千鳥状に配置され、前記ボンディングパッドおよび前記ボンディング領域のピッチは等しいことを特徴とする請求項7記載の半導体集積回路装置。

【請求項12】 前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電気的に接続する複数の第1のボンディングワイヤは、互いに並行に延在していることを特徴とする請求項11記載の半導体集積回路装置。

40 【請求項13】 前記半導体チップの周辺に近い側に配置されたボンディングパッドは、前記第1のボンディングワイヤを介して前記半導体チップの周辺に近い側に配置されたボンディング領域と電気的に接続され、前記半導体チップの周辺から遠い側に配置されたボンディングパッドは、前記第1のボンディングワイヤを介して前記半導体チップの周辺から遠い側に配置されたボンディング領域と電気的に接続されていることを特徴とする請求項12記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、半導体チップのボンディングパッドとリードフレームのリードとの間を、絶縁基板に設けた導体配

線を介して電氣的に接続し、これら半導体チップと絶縁基板とを樹脂封止した半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、QFP(Quad Flat Package)などの表面実装形LSIパッケージの製造に用いるリードフレームは、半導体チップを搭載するダイパッドの周囲に多数のリードを配置し、これらのリードの一端(インナーリード部)と半導体チップのボンディングパッドとをワイヤで接続する構造になっている。

【0003】ところが、近年、論理LSIの高機能化、高速化に伴ってQFPの多ピン化が進み、リードの幅やピッチが微細化していることから、リードフレームの製作が非常に困難になってきた。

【0004】その対策として、リードフレームのインナーリード部に相当する導体配線を形成した絶縁基板をダイパッド上に接合し、この絶縁基板の中央に搭載した半導体チップと導体配線の一端とをワイヤで接続すると共に、導体配線他端とリードとをワイヤで接続する、いわゆる複合リードフレームが提案されている。

【0005】上記複合リードフレームは、絶縁基板の表面に蒸着や箔の貼り付けによって薄い金属膜を形成し、これをエッチングして導体配線を形成するので、通常のリードフレームに比べてインナーリード部の幅やピッチを大幅に微細化することができ、LSIパッケージの多ピン化を促進することができるという利点がある。

【0006】なお、上記のような複合リードフレームを用いた半導体集積回路装置については、例えば特開昭58-192334号公報、実開昭64-57641号公報などに記載がある。

【0007】

【発明が解決しようとする課題】前記複合リードフレームのダイパッド上に接合される絶縁基板としては、通常厚さ50~100 μ m程度、外形寸法10~25mm \times 10~25mm程度のポリイミド樹脂フィルムやエポキシ樹脂フィルムなどが使用される。

【0008】しかしながら、このように薄く、かつ大面積の絶縁基板を接着剤でダイパッド上に接合すると、両者の接着界面にボイド(気泡)が溜まり易い。

【0009】そして、この接着界面にボイドを残したままワイヤボンディングを行うと、絶縁基板の固定が不安定となるため、ボンディングツール先端の超音波エネルギーが吸収されてしまい、絶縁基板の導体配線とワイヤとの接着強度が低下し、導体配線からワイヤが剥がれるボンディング不良が発生する。

【0010】また、ワイヤボンディング工程では、ボンディングステージ上のリードフレームを200~300℃に加熱するため、大面積の絶縁基板を接着剤でダイパッド上に接合すると、この熱で接着剤が軟化してゴム状になり、ボンディングツール先端の超音波エネルギーを

吸収してしまうため、ワイヤの接着強度が低下し、ボンディング不良が発生する。

【0011】また、絶縁基板の材料となるポリイミド樹脂やエポキシ樹脂は、比較的吸湿率が高いため、このような材料で作成された大面積の絶縁基板には、かなり多量の水分が外部から浸入している。

【0012】このような絶縁基板が樹脂封止されたLSIパッケージをプリント基板に面実装するためにリフロー半田工程で高温に曝すと、絶縁基板に含まれていた水分が気化膨張して周囲の樹脂に応力を及ぼし、パッケージクラックを引き起こす。

【0013】本発明の目的は、導体配線を形成した絶縁基板を有する複合リードフレーム構造の樹脂封止型半導体集積回路装置において、導体配線のボンディング不良を防止することのできる技術を提供することにある。

【0014】本発明の他の目的は、導体配線を形成した絶縁基板を有する複合リードフレーム構造の樹脂封止型半導体集積回路装置において、この半導体集積回路装置を面実装する際に発生するパッケージクラックを防止することのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】(1).請求項1記載の発明は、その主面に複数のボンディングパッドを有する半導体チップと、樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に前記半導体チップを搭載した絶縁基板と、前記絶縁基板の周辺に配置された複数のリードと、前記絶縁基板に接続され、前記絶縁基板を支持する吊りリードと、前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電氣的に接続する第1のボンディングワイヤと、前記導体配線の第2のボンディング領域と、前記リードとを電氣的に接続する第2のボンディングワイヤと、前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなる半導体集積回路装置である。

【0018】(2).請求項4記載の発明は、その主面に複数のボンディングパッドを有する半導体チップと、樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に前記半導体チップを搭載した絶縁基板と、前記絶縁基板の周辺に配置され、前記導体配線の第2のボンディング領域に電氣的、かつ機械的に接続された複数のリードと、前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディン

グ領域とを電氣的に接続するボンディングワイヤと、前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなる半導体集積回路装置である。

【0019】(3).請求項7記載の発明は、樹脂フィルムと、前記樹脂フィルム上に形成され、その両端に第1および第2のボンディング領域を有する複数の導体配線とからなり、その中央に開孔部を持ち所定の幅を有する額縁状の絶縁基板と、前記絶縁基板の開孔部に配置され、その主面に複数のボンディングパッドを有する半導体チップと、前記絶縁基板の周辺に配置された複数のリードと、前記絶縁基板に接続され、前記絶縁基板を支持する吊りリードと、前記半導体チップのボンディングパッドと、前記導体配線の第1のボンディング領域とを電氣的に接続する第1のボンディングワイヤと、前記導体配線の第2のボンディング領域と、前記リードとを電氣的に接続する第2のボンディングワイヤと、前記半導体チップおよび前記絶縁基板を樹脂封止してなるパッケージ本体とを有してなり、前記半導体チップおよび前記絶縁基板の各辺との間には前記樹脂が介在している半導体集積回路装置である。

【0020】

【作用】

(1).上記した手段によれば、複数本の吊りリードまたはリードの一端を絶縁基板に接合して絶縁基板を支持するようにしたので、大面積の絶縁基板を接着剤でダイパッド上に接合する作業が不要となる。

【0021】これにより、絶縁基板とダイパッドとの接着界面に溜まったボイドによってワイヤボンディング時に絶縁基板の固定が不安定となる不具合や、絶縁基板とダイパッドとの接着界面に設けた接着剤がワイヤボンディング時の熱で軟化してゴム状になり、ボンディングツール先端の超音波エネルギーを吸収する不具合を回避することができるので、絶縁基板の導体配線とワイヤとの接着強度を向上させることができる。

【0022】(2).上記した手段によれば、半導体チップの裏面の一部が封止樹脂と直接接合するために半導体チップと封止樹脂との接合力を大きくでき、また、絶縁基板の実効的な面積が小さいためにその吸湿量を小さくでき、さらに、開孔部を通じて半導体チップの上下面の樹脂を一体化させたことにより、絶縁基板と封止樹脂との界面に作用する応力を低減することができるので、リフロー半田工程におけるパッケージクラックの発生を抑制することができる。

【0023】以下、本発明のリードフレームおよびそれを用いたLSIパッケージを実施例により説明する。なお、実施例を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0024】

【実施例1】図1は、本発明の実施例1であるリードフレームの概略平面図である。

【0025】このリードフレーム1aの中央には、同図には示されていない半導体チップ2を搭載するための矩形的絶縁基板3aが配置されている。この絶縁基板3aの主面のチップ搭載領域(同図の破線で囲んだ領域)4の周囲には、絶縁基板3aのそれぞれの辺に対して実質的に直角な方向に延在する多数の導体配線5(同図には、その一部のみを示す)が形成されている。

【0026】上記絶縁基板3aの外側には、多数のリード6(同図には、その一部のみを示す)が配置されており、それらの一端は絶縁基板3aの近傍まで延在している。

【0027】また、絶縁基板3aの四隅には、吊りリード7の一端が接合されており、これら4本の吊りリード7によって絶縁基板3aがリードフレーム1aに支持、固定される構造になっている。

【0028】上記吊りリード7は、同図には示されていない接合材8を用いて絶縁基板3aの主面上に接合されている。接合材8は、エポキシ樹脂などの合成樹脂系接着剤あるいはAu-Sn合金、Pb-Sn合金などの低融点金属ろう材からなる。なお、吊りリード7は、絶縁基板3aの四隅以外の箇所に接合してもよく、その本数も4本に限定されるものではない。

【0029】このように、実施例1のリードフレーム1aは、ダイパッド上に半導体チップを搭載する従来方式のリードフレームや、ダイパッド上に絶縁基板を接合してその上に半導体チップを搭載する従来方式の複合リードフレームなどとは異なり、ダイパッドを有しておらず、絶縁基板3aがダイパッドを兼用した構成になっている。

【0030】上記絶縁基板3aは、プラズマ溶射法などを用いて両面に膜厚50~100μm程度のセラミック薄膜をコーティングした、厚さ100~600μm、外形寸法10~25mm×10~25mm程度のポリイミド樹脂あるいはエポキシ樹脂などの耐熱性樹脂フィルムからなる。

【0031】このように、比較的吸湿率が高いポリイミド樹脂やエポキシ樹脂からなる絶縁基板3aの両面にセラミック薄膜をコーティングしたことにより、絶縁基板3aの吸湿を回避することができるので、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0032】セラミック薄膜をコーティングした絶縁基板3a上に形成された導体配線5は、絶縁基板3aの一面に接着した膜厚18μm程度のCu箔を周知のリソグラフィ技術を使ってエッチングしたもので、それぞれの導体配線(Cu箔)5の表面には膜厚2~10μm程度のNiメッキが、さらにその表面には膜厚0.5~5μm程度のAuメッキが施されている。

【0033】実施例1の絶縁基板3aの上述した構成は、後述する以下の各実施例においても適用可能である。

【0034】上記絶縁基板3aは、樹脂フィルムの表面にセラミック薄膜をコーティングする構成に代えて、セラミックの薄板そのもので構成してもよい。この場合、導体配線5は、タングステンなどのメタライズパターンを周知のスクリーン印刷法を用いてセラミックの薄板に印刷し、次いでこれを焼結した後、メタライズパターン上に膜厚2〜10 μm 程度のNiメッキおよび膜厚0.5

〜5 μm 程度のAuメッキを順次施して形成する。

【0035】また、上記導体配線5は、セラミックの薄板からなる絶縁基板3aの一面に膜厚5 μm 以上のアルミニウム薄膜を蒸着法により形成し、これを周知のリソグラフィ技術を使ってエッチングして形成してもよい。この方法によれば、スクリーン印刷法でメタライズパターンを印刷する場合に比べて導体配線5の幅やピッチを微細化することができる。

【0036】このように、絶縁基板3aをセラミックで構成することにより、絶縁基板3aの吸湿を回避することができ、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0037】実施例1のリードフレーム1aは、上記絶縁基板3a、リード6および吊りリード7の他、これらを支持する外枠9および内枠10を備えており、さらにリード6の中途部には、リード6の支持とモールド時における樹脂の溢出防止とを兼ねた枠状のタイバー（ダム）11が設けられている。

【0038】リードフレーム1aを構成する上記リード6、吊りリード7、外枠9、内枠10およびタイバー11は、42アロイ、Cuなどの導電材料からなるフープ材をプレスまたはエッチングにより一体成形したもので、リード6の先端には、Agのメッキがスポット状に施されている。

【0039】図2は、上記リードフレーム1aを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図3は、図2のIII-III線における断面図、図4は、図2のIV-IV線における断面図である。

【0040】エポキシ系樹脂などからなるパッケージ本体12内に封止された絶縁基板3aの主面上には、所定の論理LSIが形成されたシリコン単結晶からなる半導体チップ2が搭載されている。半導体チップ2は、エポキシ系樹脂などからなる接着剤13により絶縁基板3a上に接着されている。

【0041】上記半導体チップ2の主面の外周部に形成されたボンディングパッド14と絶縁基板3a上の導体配線5の一端とは、Au、CuまたはAlからなるワイヤ15を介して電氣的に接続されている。また、導体配線5の他端とリード6とは、上記したものと同様のワイヤ15を介して電氣的に接続されている。

【0042】図2に示すように、四角形をなすパッケージ本体12のそれぞれの辺からは、複数本のリード6（同図には、その一部のみを示す）が外方に突出している。

【0043】上記LSIパッケージを製造するには、リードフレーム1aの中央に配置された絶縁基板3a上に半導体チップ2を接着し、次いで半導体チップ2のボンディングパッド14と導体配線5、および導体配線5とリード6との間にそれぞれワイヤ15をボンディングした後、リードフレーム1aをモールド金型に装着してパッケージ本体12を成形する。

【0044】次に、パッケージ本体12の外部に露出したリードフレーム1aに半田メッキを施し、次いでリードフレーム1aの不要箇所、すなわち吊りリード7の一部、タイバー11、外枠9および内枠10をプレスで切断除去した後、リード6を所定の形状に成形する。

【0045】以上のように構成された本実施例によれば、次のような効果を得ることができる。

【0046】(1).ダイパッドを廃止し、半導体チップ2を搭載する絶縁基板3aを吊りリード7を用いてリードフレーム1aに支持、固定するようにしたので、大面積の絶縁基板3aを接着剤でダイパッド上に接合する作業が不要となる。

【0047】これにより、絶縁基板3aとダイパッドとの接着界面に溜まったボイドによってワイヤボンディング時に絶縁基板3aの固定が不安定となる従来技術の不具合を回避することができるので、ボンディングパッド14や導体配線5とワイヤ15との接着強度が向上し、パッド剥がれやリード剥がれのようなボンディング不良の発生を抑制することができる。

【0048】また、絶縁基板3aとダイパッドとの接着界面に設けた接着剤がワイヤボンディング時の熱で軟化してゴム状になり、ボンディングツール先端の超音波エネルギーを吸収する従来技術の不具合を回避することができるので、ボンディングパッド14や導体配線5とワイヤ15との接着強度が向上し、パッド剥がれやリード剥がれのようなボンディング不良の発生を抑制することができる。

【0049】(2).樹脂フィルムからなる絶縁基板3aの両面にセラミック薄膜をコーティングすることにより、あるいは絶縁基板3aそのものをセラミックの薄板で構成することにより、絶縁基板3aに水分が浸入する従来技術の不具合を回避することができるので、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0050】(3).上記(1)、(2)により、LSIパッケージの製造歩留り、信頼性を向上させることができる。

【0051】(4).絶縁基板3aの表面に蒸着や箔の貼り付けによって薄いアルミニウムや銅の薄膜を形成し、これをエッチングして導体配線5を形成することにより、

通常のリードフレームに比べてインナーリード部の幅やピッチを大幅に微細化することができるので、超多ピンのリードフレーム1aを提供することができる。

【0052】

【実施例2】図5は、実施例2のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図6は、図5のVI-VI線における断面図、図7は、図5のVII-VII線における断面図である。

【0053】実施例2のリードフレームは、前記実施例1と同じように、絶縁基板3bを吊りリード7で支持、固定しているが、絶縁基板3bの形状および材質が異なっている。

【0054】すなわち、絶縁基板3bには複数の開孔部16が互いに分離して形成され、これらの開孔部16に囲まれた絶縁基板3bの中央には、半導体チップ2よりも小面積のチップ搭載領域4が絶縁基板3bと一体に形成されている。

【0055】より具体的には、台形の開孔部16がチップ搭載領域4の上下、左右に計4つプレス加工により形成されており、それぞれの開孔部16は、半導体チップ2を搭載した場合にその一部が半導体チップ2の一辺から露出するように配置されている。

【0056】このように、実施例2では絶縁基板3bに形成された複数の開孔部16のそれぞれの一部が半導体チップ2の各辺から露出するように配置されている。その結果、半導体チップ2をエポキシ系樹脂などで封止した場合、半導体チップ2の各辺において、半導体チップ2の上側の樹脂と下側の樹脂とが開孔部16を通じて連結されるため、半導体チップ2または絶縁基板3bと樹脂との間に出来る隙間の面積を小さくすることができ、リフロー工程で発生するパッケージクラックを有効に抑制することができる。

【0057】また、絶縁基板3bは、リードフレームと同じ42アロイ、Cuなどの材料からなる金属板17とCu箔とが絶縁性の接着剤層18で接着された積層体からなり、開孔部16の周囲に設けられた導体配線5は、このCu箔を周知のリソグラフィ技術を使ってエッチングすることにより形成されている。

【0058】上記導体配線5は、矩形的絶縁基板3bの各辺に複数形成されており、リード6の延在方向と並行に延在している。また、それぞれの導体配線5の両端には、幅広のボンディング領域5Aが形成され、そこにボンディングワイヤ15が接続されている。なお、この導体配線5の形状は、前記実施例1でも同様であり、また後述する以下の各実施例においても同様である。

【0059】上記絶縁基板3bの四隅の吊りリード7およびチップ搭載領域4上の半導体チップ2は、別途接着剤を用いることなく、Cu箔のエッチングによって露出した接着剤層18の上に熱圧着法で直接接合されている。

【0060】上記接着剤層18としては、熱可塑性樹脂が好ましく、特にポリイミド系樹脂、ポリアミドイミド系樹脂、ポリエーテルケトン系樹脂などが良い。また、絶縁基板3bを構成する金属板17は、リードフレームとは異なる金属材料で別途に形成してもよい。さらに、金属板17に代えてセラミックの薄板を用い、その表面に絶縁性の接着剤層18を設けて絶縁基板3bを構成してもよい。

【0061】以上のように構成された実施例2によれば、絶縁基板3bは、金属板17とCu箔とを接着剤層18で接着した積層体からなり、開孔部16はプレス加工により、導体配線5はエッチングによりそれぞれ形成されているため、導体配線5または金属板17と絶縁基板3bとの接着界面に気泡が入ることが無い。

【0062】また、接着剤層18がワイヤボンディング時の熱で軟化してゴム状になり、ボンディングツール先端の超音波エネルギーを吸収する従来技術の不具合を低減することができるので、導体配線5とワイヤ15との接着強度が向上し、リード剥がれのようなボンディング不良の発生を抑制することができる。

【0063】また、絶縁基板3bの下層を金属板17あるいはセラミックの薄板で構成したことにより、絶縁基板3bに水分が浸入する不具合を回避することができるので、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0064】また、絶縁基板3bに複数の開孔部16を設けて絶縁基板3bの実効的な面積を小さくし、かつこれらの開孔部16を通じて半導体チップ2の上下面の樹脂を一体化させ、さらに樹脂との接着性に優れた半導体チップ2の裏面が露出された構造としたことにより、絶縁基板3bと樹脂との界面及び半導体チップ2と樹脂との界面に作用する応力を低減することができるので、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0065】また、絶縁基板3bの表面に接着した銅箔をエッチングして導体配線5を形成したことにより、通常のリードフレームに比べてインナーリード部の幅やピッチを大幅に微細化することができ、超多ピンのリードフレームを提供することができる。

【0066】

【実施例3】図8は、実施例3のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図9は、図8のIX-IX線における断面図、図10は、図9のX-X線における断面図である。

【0067】実施例3のリードフレームは、絶縁基板3cを吊りリード7で支持、固定した前記実施例1、2とは異なり、すべてのリード6を絶縁基板3cの上部にまで延在し、それらの先端を対応する導体配線5の一端上に接合することにより、絶縁基板3cを支持、固定している。

【0068】リード6と導体配線5とは、低融点ろう材やAgペーストなどの導電性接合材19を介して電氣的、かつ機械的に接合されている。他方、導体配線5の他端と半導体チップ2とは、ワイヤ15を介して電氣的に接続されている。

【0069】絶縁基板3cは、ポリイミド樹脂あるいはエポキシ樹脂などの耐熱性樹脂フィルムからなる。また、前記実施例2と同じく、絶縁基板3cには複数の開孔部16が互いに分離して形成され、これらの開孔部16に囲まれた絶縁基板3cの中央には、半導体チップ2

【0070】なお、上記開孔部16の形状および位置は、前記実施例2のそれと同様であり、絶縁基板3cは、前記実施例1と同じく、両面にセラミック薄膜をコーティングした合成樹脂フィルムやセラミックの薄板で構成してもよい。

【0071】実施例3のリードフレームを用いたLSIパッケージの製造方法の一例を説明すると、まず、膜厚75 μ m程度、外形寸法10 \sim 25mm \times 10 \sim 25mm程度のポリイミド樹脂フィルムの一面に接着した膜厚18 μ m程度の銅箔を周知のリソグラフィ技術を使ってエッチングすることより導体配線5を形成し、次いでこの導体配線5の表面に膜厚2 \sim 10 μ m程度のNiメッキ、膜厚0.5 \sim 5 μ m程度のAuメッキを順次施す。

【0072】次に、パンチング法により絶縁基板3cに開孔部16（およびチップ搭載領域4）を形成した後、あらかじめ膜厚2 \sim 10 μ m程度のSnメッキを施しておいたリード6の先端と導体配線5とを熱圧着し、両者の界面にAu-Sn共晶合金を形成することにより両者を電氣的に接続すると共に、絶縁基板3cを支持、固定する。

【0073】次に、Agペーストのような接着剤20を用いて絶縁基板3cのチップ搭載領域4上に半導体チップ2を接着し、この半導体チップ2と導体配線5との間にワイヤ15をボンディングした後、リードフレーム1aをモールド金型に装着してパッケージ本体12を成形する。

【0074】続いて、パッケージ本体12の外部に露出したリードフレーム1aに半田メッキを施し、このリードフレーム1aの不要箇所をプレスで切断除去した後、リード6を所定の形状に成形する。

【0075】以上のように構成された実施例3によれば、前記実施例2とほぼ同様の効果を得ることができる。

【0076】

【実施例4】図11は、実施例4のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図12は、図11のXII-XII線における断面図、図13は、図11のXIII-XIII線における断

面図である。

【0077】実施例4のリードフレームは、前記実施例1、2と同じく4本の吊りリードで絶縁基板3dを支持、固定しているが、これらの吊りリード7の先端を絶縁基板3dの中央まで延在し、半導体チップ2よりも小面積のチップ搭載領域4を吊りリード7と一体に形成している点に特徴がある。

【0078】絶縁基板3dは、前記実施例2と同じく、金属板17とCu箔とを絶縁性の接着剤層18で接着した積層体からなる。また、絶縁基板3dは額縁状をなしており、その中央には半導体チップ2よりも大面積のデバイスホール21が形成され、その表面に導体配線5が形成されている。

【0079】上記金属板17は、一例として板厚125 μ m程度の42アロイからなり、その表面に塗布された接着剤層18は、膜厚25 μ m程度の熱可塑性接着剤からなる。また、導体配線5は、この接着剤層18の表面に貼り付けた膜厚9 μ m程度の銅箔を周知のリソグラフィ技術を使ってエッチングすることにより形成されている。

【0080】上記絶縁基板3dを支持する4本の吊りリード7は、銅箔のエッチングによって露出した接着剤層18の上に熱圧着法で直接接合されている。また、半導体チップ2は、Agペーストのような接着剤20を用いてチップ搭載領域4上に接着されている。

【0081】前記実施例1と同じく、半導体チップ2と導体配線5の一端とは、ワイヤ15を介して電氣的に接続され、導体配線5の他端とリード6とは、同じくワイヤ15を介して電氣的に接続されている。

【0082】また、実施例4のリードフレームは、図13に示すように、4本の吊りリード7の中途部を下方に折り曲げてダウンセット構造とし、半導体チップ2の上下のパッケージ厚をほぼ等しくすることによって成形性を向上させている。

【0083】以上のように構成された実施例4によれば、前記実施例2とほぼ同様の効果を得ることができる。

【0084】

【実施例5】図14は、実施例5のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図15は、図14のXV-XV線における断面図、図16は、図14のXVI-XVI線における断面図である。

【0085】実施例5の絶縁基板3eは、チップ搭載領域4の周囲に台形をなす4つの開孔部16が半導体チップ2の4辺に対応して分離形成され、これらの開孔部16に囲まれたチップ搭載領域4の中央には、半導体チップ2よりも小面積の開孔部22が形成されている点に特徴がある。

【0086】従って、半導体チップ2は、開孔部16と

13

開孔部22との間に残った棒状の絶縁基板3e上に接着剤層18を介して接合される。その他の構成は、前記実施例2と同じである。

【0087】以上のように構成された実施例5によれば、前記実施例2とほぼ同様の効果を得ることができるが、開孔部22を設けたことにより、リフロー半田工程で発生するパッケージクラックをより有効に抑制することができる。

【0088】

【実施例6】図17は、実施例6のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図18は、図17のXVIII-XVIII線における断面図、図19は、図17のIXX-IXX線における断面図である。

【0089】実施例6のリードフレームは、絶縁基板3fを支持、固定する4本の吊りリード7の先端を絶縁基板3fの中央まで延在し、半導体チップ2よりも小面積の開孔部23を有するチップ搭載領域4を吊りリード7と一体に形成している。その他の構成は、前記実施例4と同じである。

【0090】以上のように構成された実施例6によれば、前記実施例2とほぼ同様の効果を得ることができる。

【0091】

【実施例7】図20は、実施例7のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図21は、図20のXXI-XXI線における断面図、図22は、図20のXXII-XXII線における断面図である。

【0092】実施例7のリードフレームは、すべてのリード6の先端を絶縁基板3gの上部まで延在し、その先端を絶縁性の接着剤層18で絶縁基板3g上に接合することにより絶縁基板3gを支持、固定している。

【0093】絶縁基板3gは、銅のような高熱伝導性の金属板17とその表面に塗布された絶縁性の接着剤層18とからなり、絶縁基板3g上の導体配線5は、この接着剤層18の表面に貼り付けた銅箔を周知のリソグラフィ技術を使ってエッチングすることにより形成されている。

【0094】また、リード6および半導体チップ2は、別途接着剤を用いることなく、銅箔のエッチングによって露出した上記接着剤層18の上に熱圧着法で直接接合されている。

【0095】実施例7によれば、大面積の金属板17の中央に接着剤層18を介して半導体チップ2を搭載し、かつ金属板17の周辺部にリード6を接合したことにより、半導体チップ2の熱を金属板17およびリード6を通じてパッケージ本体12の外に逃がすことが可能となり、熱抵抗の小さなLSIパッケージを提供することができる。

14

【0096】また、実施例7によれば、大面積の金属板17上でワイヤボンディングを行うので、安定したボンディングが可能となる。

【0097】

【実施例8】図23は、本発明の実施例8であるリードフレームの概略平面図、図24は、その一部を拡大して示す平面図である。

【0098】実施例8のリードフレーム1bは、前記実施例4と同じく、絶縁基板3hを支持、固定する4本の吊りリード7を絶縁基板3hの中央まで延在し、半導体チップ2よりも小面積のチップ搭載領域4を吊りリード7と一体に形成している。このチップ搭載領域4は、半導体チップ2の接着作業を容易にし、かつ樹脂との界面に加わる応力を低減するために、例えば直径3mm程度の円形をなしている。

【0099】また、実施例8のリードフレーム1bは、絶縁基板3hを吊りリード7の上に搭載した構成になっており、吊りリード7と絶縁基板3hとの接着は、図24に示すように、それぞれの吊りリード7の中途部に設けた基板支持用パッド24a上に接着剤を塗布することにより行っている。なお、この基板支持用パッド24aは、吊りリード7と一体に形成されている。

【0100】上記絶縁基板3hの中央には、半導体チップ2よりも大面積のデバイスホール21が設けられている。従って、半導体チップ2の上側の樹脂と下側の樹脂とがこのデバイスホール21を通じて連結されるため、リフロー工程で発生するパッケージクラックを有効に抑制することができる。なお、このデバイスホール21の寸法は、半導体チップ2の寸法を5.0〜9.0×5.0〜9.0mm程度とした時、11.0×11.0mm程度である。

【0101】上記絶縁基板3hは、一例として厚さ200〜500μmのセラミック基板の主面に厚さ30μm程度のタングステンメタライズからなる導体配線5を形成し、この導体配線5の表面に膜厚2μm以上のNiメッキおよび膜厚0.3μm以上のAuメッキを順次施したものからなる。導体配線5は、セラミック基板の主面に蒸着した5μm以上のAl膜をエッチングして形成してもよい。

【0102】また、絶縁基板3hは、厚さ200〜500μmのガラス布基材ビスマレイミドトリアジン樹脂Cu張り積層基板やガラス布基材ポリイミド樹脂Cu張り積層基板などにより構成してもよい。

【0103】この場合、導体配線5は、積層基板のCu箔をエッチングして形成し、その表面に膜厚2μm以上のNiメッキおよび膜厚0.3μm以上のAuメッキを順次施す。また、導体配線5のワイヤボンディング部以外は、ソルダーレジストで被覆する。

【0104】また、絶縁基板3hは、ガラス布基材ポリイミド樹脂の表面に厚さ10μm程度のCu配線を転写法により形成したもので構成してもよい。この場合は、

15

エッチング法に比べてより微細なピッチの導体配線5を形成することができる。

【0105】また、絶縁基板3hは、厚さ150 μ m程度の42アロイ合金などからなる金属板の表面に、例えばガラス転移温度が230℃程度のポリエーテルアミドイミド樹脂系の接着剤層を厚さ25 μ m程度塗布したもので構成してもよい。

【0106】この場合、導体配線5は、接着剤層を介してラミネートした厚さ25 μ m程度の42アロイ合金箔をエッチングして形成し、その表面に膜厚1 μ m程度のAuメッキを施す。

【0107】また、絶縁基板3hは、厚さ250 μ m程度のCu合金からなる金属板の表面に、例えばガラス転移温度が240℃程度のポリイミド樹脂系の接着剤層を厚さ25 μ m程度塗布したもので構成してもよい。

【0108】この場合、導体配線5は、接着剤層を介してラミネートした厚さ18 μ m程度のCu箔をエッチングして形成し、その表面に膜厚1 μ m程度のAuメッキを施す。

【0109】図25は、上記リードフレーム1bを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図26は、図25のXXVI-XXVI線における断面図、図27は、図25のXXVII-XXVII線における断面図である。

【0110】このLSIパッケージを製造するには、まず、リードフレーム1bの中央に設けたチップ搭載領域4の上、および吊りリード7の中途部に設けた基板支持用パッド24aの上にそれぞれAgペースト系の接着剤を塗布し、チップ搭載領域4上に半導体チップ2を、吊りリード7上に絶縁基板3hをそれぞれ接合する。

【0111】このように、リードフレーム1bに半導体チップ2を搭載する作業と絶縁基板3hを搭載する作業とを同一の工程で行うことにより、LSIパッケージの製造工程を少なくすることができる。

【0112】次に、導体配線5の一端と半導体チップ2、および導体配線5の他端とリード6との間にそれぞれワイヤ15をボンディングする。

【0113】実施例8において、半導体チップ2には、後述（実施例10）の図34に示すように、複数のボンディングパッド14が千鳥状に配置されている。また、絶縁基板3hには、後述（実施例11）の図37に示すように、一端のボンディング領域5Aが千鳥状に配置された導体配線5が形成されている。

【0114】そこで、まず半導体チップ2の周辺に近い側に配置されたボンディングパッド14とボンディング領域5A同士をボンディングワイヤ15で順次接続し、次に、半導体チップ2の周辺から遠い側に配置されたボンディングパッド14とボンディング領域5A同士をボンディングワイヤ15で順次接続する。

【0115】この場合、半導体チップ2の周辺から遠い

16

ボンディングパッド14に接続されるボンディングワイヤ15のループ高さを半導体チップ2の周辺に近いボンディングパッド14に接続されるボンディングワイヤ15のループ高さよりも高くすることでボンディングワイヤ15同士の短絡を防止する。

【0116】次に、リードフレーム1bをモールド金型に装着してパッケージ本体12を成形した後、パッケージ本体12の外部に露出したリードフレーム1bに半田メッキを施し、次いでリードフレーム1bの不要箇所、すなわち吊りリード7の一部、タイバー11、外枠9および内枠10をプレスで切断除去した後、リード6を所定の形状に成形する。

【0117】以上のように構成された実施例8によれば、前記実施例2とほぼ同様の効果を得ることができる。

【0118】また、実施例8のリードフレーム1bは、絶縁基板3hとほぼ同程度の寸法を有する大面積の半導体チップ2を搭載することも可能である。この場合は、図28に示すように、リードフレーム1bに絶縁基板3hを搭載せず、チップ搭載領域4および基板支持用パッド24aにより大面積の半導体チップ2を支持、固定する。

【0119】このように、実施例8のリードフレーム1bは、面積の異なる複数種の半導体チップ2の実装に兼用できる構造になっているため、このリードフレーム1bを用いたLSIパッケージの製造コストを低減することができる。

【0120】

【実施例9】図29は、実施例9のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の概略平面図、図30は、その一部を拡大して示す平面図、図31は、図29のXXXI-XXXI線における断面図、図32は、図29のXXXII-XXXII線における断面図である。

【0121】実施例9のリードフレームは、前記実施例2と同じように、絶縁基板3iを4本の吊りリード7の先端で支持、固定しているが、吊りリード7の先端を絶縁基板3iの下面に配置した点が異なっている。

【0122】吊りリード7と絶縁基板3iとの接着は、図30に示すように、それぞれの吊りリード7の先端に一体に形成した、吊りリード7よりも幅の広い基板支持用パッド24b上に接着剤を塗布することにより行っている。

【0123】絶縁基板3iの形状は、前記実施例2と同様である。すなわち、絶縁基板3iには複数の開孔部16が互いに分離して形成され、これらの開孔部16に囲まれた絶縁基板3iの中央には、半導体チップ2よりも小面積のチップ搭載領域4が絶縁基板3iと一体に形成されている。この絶縁基板3bは、前記実施例8に例示した各種の構成のものが利用可能である。

17

【0124】なお、半導体チップ2のボンディングパッド14および絶縁基板3iの導体配線5は、前記実施例8と同様であり、それらを接続するボンディングワイヤ15のループ高さも同様である。

【0125】以上のように構成された実施例9によれば、前記実施例2とほぼ同様の効果を得ることができる。

【0126】

【実施例10】図33は、本発明の実施例10であるリードフレームの概略平面図、図34は、その一部を拡大して示す平面図、図35および図36は、実施例10のリードフレームを用いて製造したLSIパッケージ（半導体集積回路装置）の断面図である。

【0127】実施例10のリードフレーム1cは、絶縁基板3jの上に額縁状の絶縁基板3kを積層した点が特徴である。下層の絶縁基板3jは、多層配線構造であり、2層の導体配線5の間に額縁状の絶縁基板3kが介在している。この絶縁基板3kは、その幅が絶縁基板3jよりも僅かに狭いため、図34に示すように、絶縁基板3j上に形成された導体配線5の両端部（ボンディング領域5A）が露出している。

【0128】また、図34に示すように、絶縁基板3jに形成された導体配線5と絶縁基板3kに形成された導体配線5とは、ボンディング領域5Aが互い違いに千鳥状に配置されており、これに対応する半導体チップ2のボンディングパッド14も互い違いに千鳥状に配置されている。また、絶縁基板3j、3kの導体配線5とこれに対応する半導体チップ2のボンディングパッド14とは、両者を接続するワイヤ15が互いに平行となる位置関係にある。

【0129】このように、半導体チップ2のボンディングパッド14および導体配線5のボンディング領域5Aをそれぞれ千鳥状に配置した場合は、ボンディングワイヤ15同士の短絡を避けるために、ボンディングワイヤ15を並行にする。従って、ボンディングパッド14およびボンディング領域5Aのそれぞれのピッチも等しくする。

【0130】そして、半導体チップ2の周辺に近い側に配置されたボンディングパッド14と（半導体チップ2の周辺に近い側に配置された）絶縁基板3jの導体配線5のボンディング領域5Aとをボンディングワイヤ15で順次接続し、次に、半導体チップ2の周辺から遠い側に配置されたボンディングパッド14と（半導体チップ2の周辺から遠い側に配置された）絶縁基板3kの導体配線5のボンディング領域5Aとをボンディングワイヤ15で順次接続する。

【0131】このようなボンディング方法により、ボンディング時のキャピラリとボンディングワイヤ15との接触を防止することができる。なお、この場合は、前記実施例8、9の場合と異なり、ボンディングワイヤ15

18

のループ高さを変える必要はない。

【0132】絶縁基板3j、3kは一例としてセラミック基板からなり、導体配線5はタングステンメタライズの表面にNiメッキおよびAuメッキを施したものになるが、その他にも前記実施例8に例示した各種の構成のものが利用可能である。

【0133】また、絶縁基板3jは、一例として前記実施例8と同じく、チップ搭載領域4と一体に形成された4本の吊りリード7によって支持、固定されているが、前記実施例1〜7、9で説明した各種支持方式のいずれであってもよい。

【0134】以上のように構成された実施例10によれば、前記実施例2とほぼ同様の効果を得ることができ、また、導体配線5を形成した絶縁基板3j上に導体配線5を形成した第2の絶縁基板3kを積層したことにより、超多ピンのLSIパッケージを提供することができる。

【0135】

【実施例11】図37は、本発明の実施例11であるLSIパッケージ（半導体集積回路装置）の一部を拡大して示す平面図である。

【0136】前記実施例10では、絶縁基板3jの導体配線5のボンディング領域5Aと、第2の絶縁基板3kの導体配線5のボンディング領域5Aとを互い違いに千鳥状に配置したが、実施例11では、図37に示すように、絶縁基板3m上に大面積の電源用メタライズ25aまたはGND用メタライズ25bを幅広に形成し、その上に積層した第2の絶縁基板3n上に信号用の導体配線5を形成している。

【0137】このような電源用メタライズ25aまたはGND用メタライズ25bの幅広配線は、同図に示すように、それらの一端がボンディングワイヤ15を介してリード6に接続され、他端がボンディングワイヤ15を介して半導体チップ2のボンディングパッド14に接続されている。

【0138】このように、幅広の電源用メタライズ25aまたはGND用メタライズ25bを用いることにより、電源またはGNDのインダクタンスを低減することができるので、ノイズの低減および高速動作を実現することができる。

【0139】なお、電源用メタライズ25aとGND用メタライズ25bとは区別して説明したが、これらは、電源またはGNDのいずれのリード6に接続するかによって電源用にもGND用にもなりうる。

【0140】前記実施例10のリードフレーム1cは、導体配線5の幅やピッチを微細化した場合、絶縁基板3j上に第2の絶縁基板3kを積層する際、導体配線5同士の位置合わせが困難になるが、実施例11のような構成にすると、電源用メタライズ25aおよびGND用メタライズ25bが導体配線5に比べて遙かに大面積であ

るため、絶縁基板3mと絶縁基板3nとの位置合わせを容易に行うことができる。

【0141】従って、実施例11によれば、第2の絶縁基板3n上に形成される信号用の導体配線5の幅やピッチを微細化することができるので、超多ピンのLSIパッケージを提供することができる。

【0142】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0143】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0144】(1).本発明によれば、ワイヤの接着強度を向上させることができるので、ボンディング不良の発生を抑制することができる。

【0145】(2).本発明によれば、リフロー半田工程におけるパッケージクラックの発生を有効に抑制することができる。

【0146】(3).上記(1)、(2)により、LSIパッケージの製造歩留り、信頼性を向上させ、コスト低減を図ることができる。

【0147】(4).本発明によれば、超多ピンのLSIパッケージを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1であるリードフレームの概略平面図である。

【図2】実施例1のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図3】図2のIII-III線における断面図である。

【図4】図2のIV-IV線における断面図である。

【図5】実施例2のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図6】図5のVI-VI線における断面図である。

【図7】図5のVII-VII線における断面図である。

【図8】実施例3のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図9】図8のIX-IX線における断面図である。

【図10】図9のX-X線における断面図である。

【図11】実施例4のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図12】図11のXII-XII線における断面図である。

【図13】図11のXIII-XIII線における断面図である。

【図14】実施例5のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図15】図14のXV-XV線における断面図である。

【図16】図14のXVI-XVI線における断面図であ

る。

【図17】実施例6のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図18】図17のXVIII-XVIII線における断面図である。

【図19】図17のIXX-IXX線における断面図である。

【図20】実施例7のリードフレームを用いて製造したLSIパッケージの概略平面図である。

10 【図21】図20のXXI-XXI線における断面図である。

【図22】図20のXXII-XXII線における断面図である。

【図23】本発明の実施例8であるリードフレームの概略平面図である。

【図24】図23の一部を拡大して示す平面図である。

【図25】実施例8のリードフレームを用いて製造したLSIパッケージの概略平面図である。

20 【図26】図25のXXVI-XXVI線における断面図である。

【図27】図25のXXVII-XXVII線における断面図である。

【図28】実施例8のリードフレームに大面積の半導体チップを搭載した状態を示す概略平面図である。

【図29】実施例9のリードフレームを用いて製造したLSIパッケージの概略平面図である。

【図30】図29の一部を拡大して示す平面図である。

【図31】図29のXXXI-XXXI線における断面図である。

30 【図32】図29のXXXII-XXXII線における断面図である。

【図33】本発明の実施例10であるリードフレームの概略平面図である。

【図34】図33の一部を拡大して示す平面図である。

【図35】実施例10のリードフレームを用いて製造したLSIパッケージの断面図である。

【図36】実施例10のリードフレームを用いて製造したLSIパッケージの断面図である。

40 【図37】実施例11のリードフレームを用いて製造したLSIパッケージの一部を拡大して示す平面図である。

【符号の説明】

1a~1c リードフレーム

2 半導体チップ

3a~3k, 3m, 3n 絶縁基板

4 チップ搭載領域

5 導体配線

5A ボンディング領域

6 リード

50 7 吊りリード

21

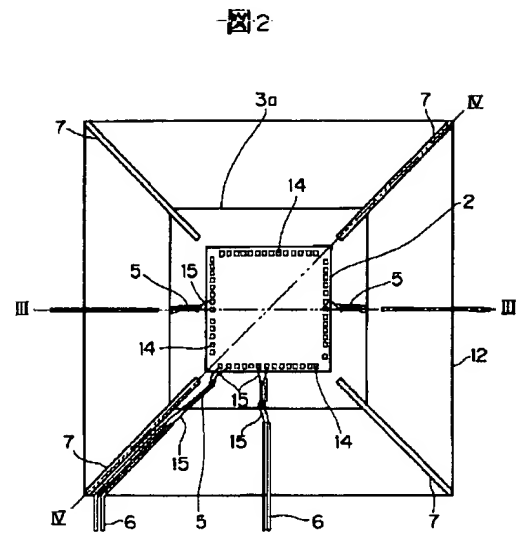
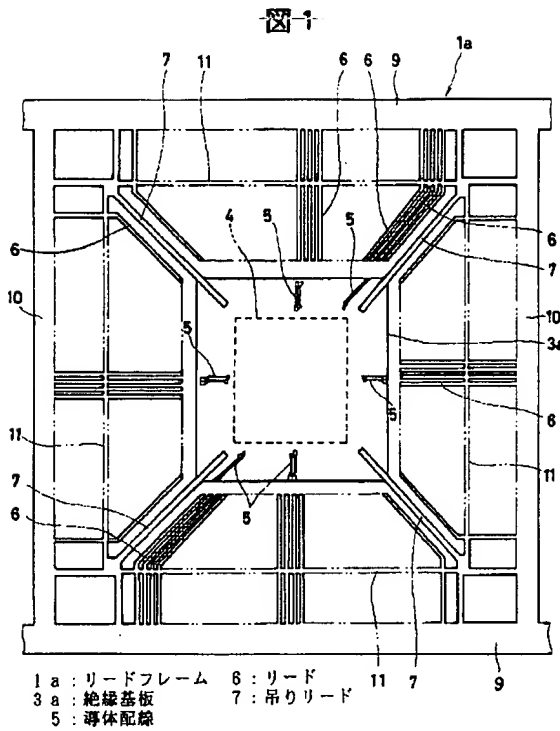
22

- 8 接合材
- 9 外枠
- 10 内枠
- 11 タイバー（ダム）
- 12 パッケージ本体
- 13 接着剤
- 14 ボンディングパッド
- 15 ワイヤ
- 16 開孔部
- 17 金属板

- 18 接着剤層
- 19 導電性接合剤
- 20 接着剤
- 21 デバイスホール
- 22 開孔部
- 23 開孔部
- 24 a 基板支持用パッド
- 24 b 基板支持用パッド
- 25 a 電源用メタライズ
- 25 b GND用メタライズ

【図1】

【図2】

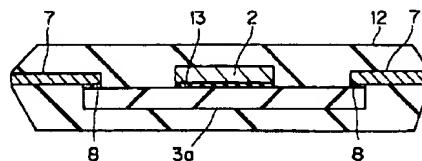
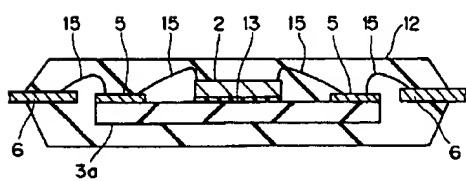


【図3】

【図4】

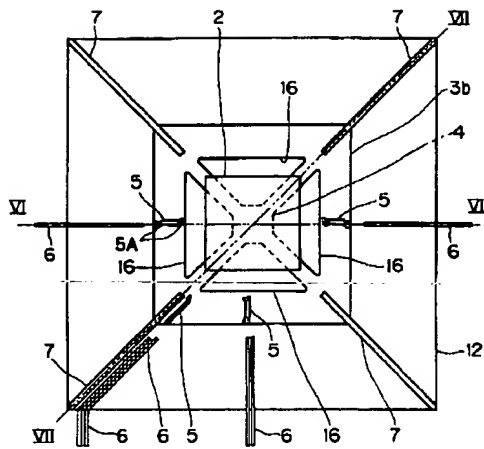
図3

図4



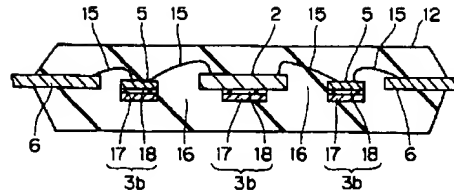
【図5】

図5



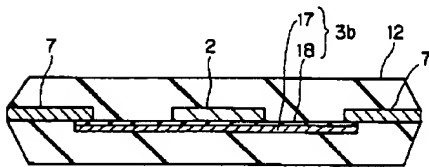
【図6】

図6



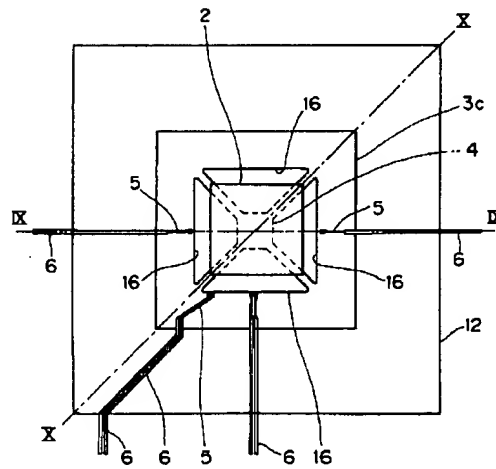
【図7】

図7



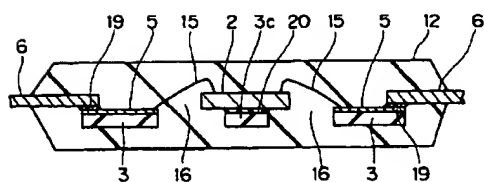
【図8】

図8



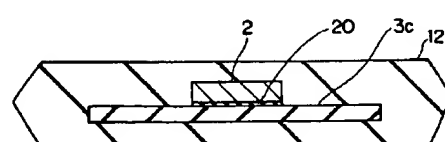
【図9】

図9



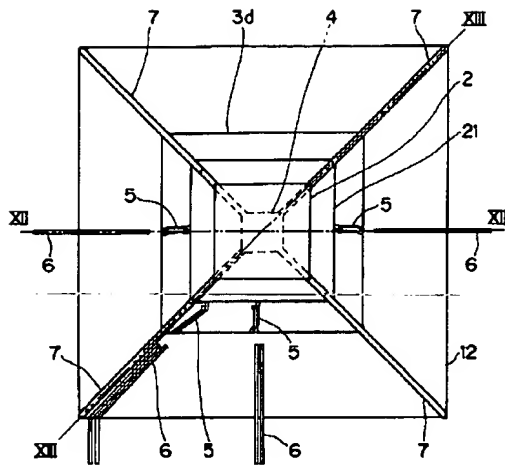
【図10】

図10



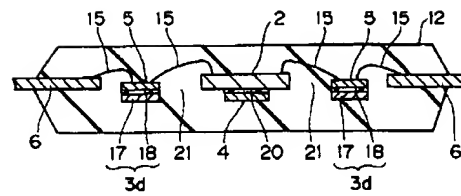
【図11】

図11



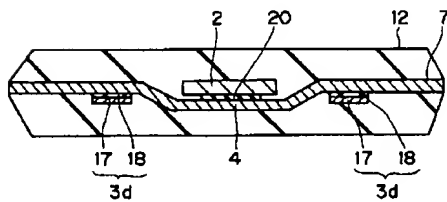
【図12】

図12



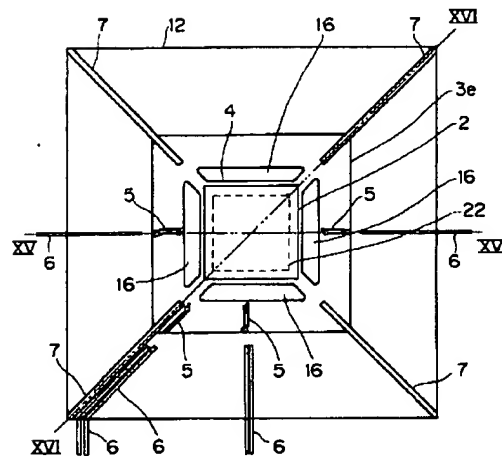
【図13】

図13



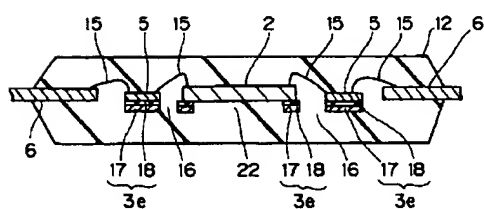
【図14】

図14



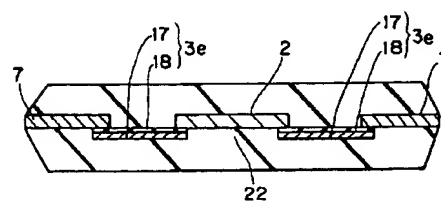
【図15】

図15



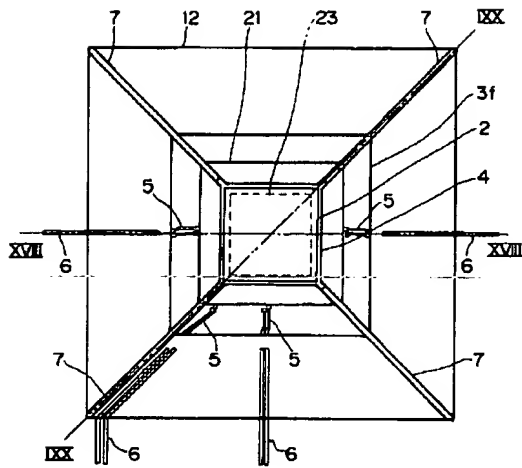
【図16】

図16



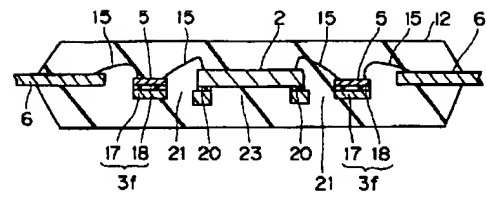
【図17】

図17



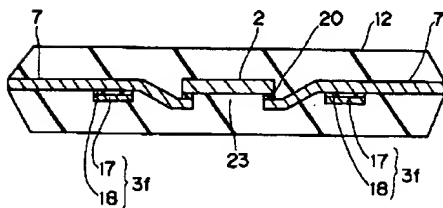
【図18】

図18



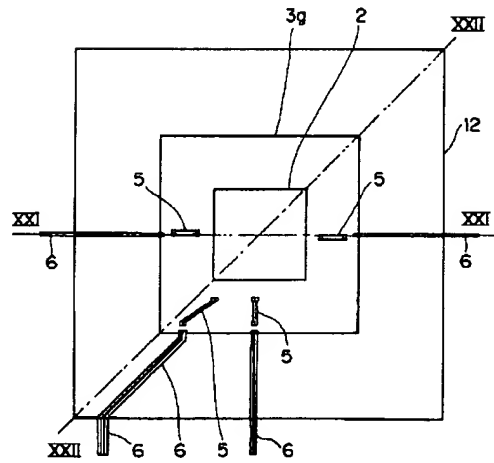
【図19】

図19



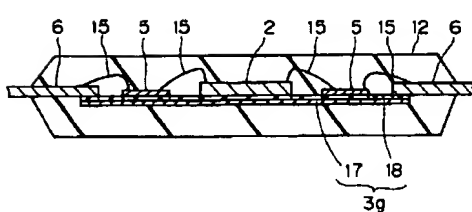
【図20】

図20



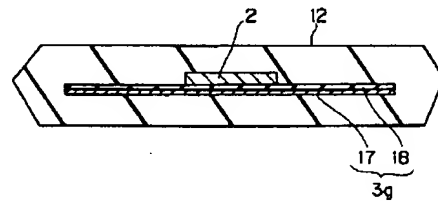
【図21】

図21

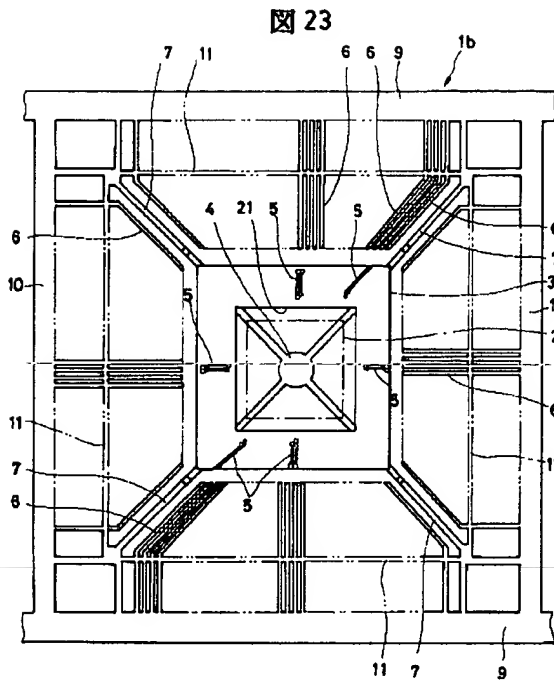


【図22】

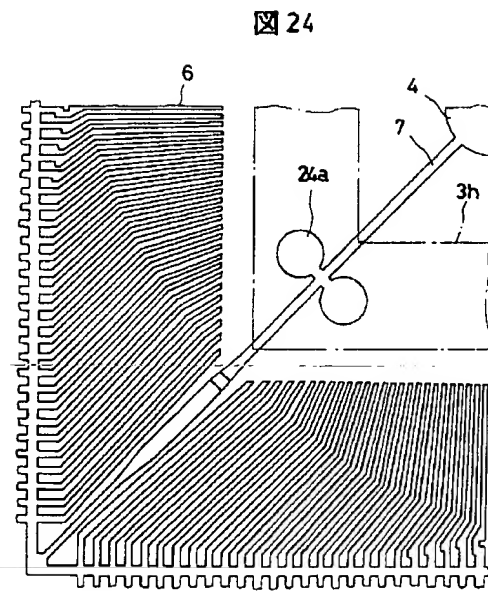
図22



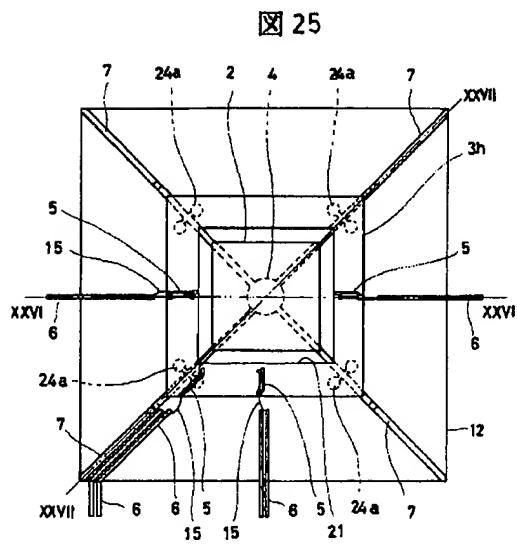
【図23】



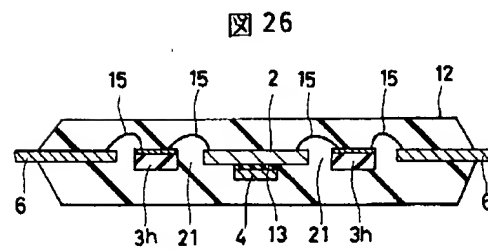
【図24】



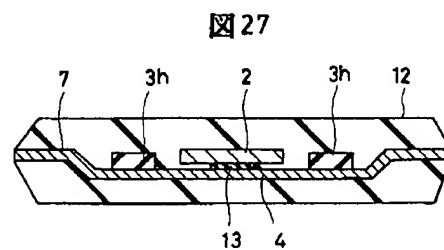
【図25】



【図26】

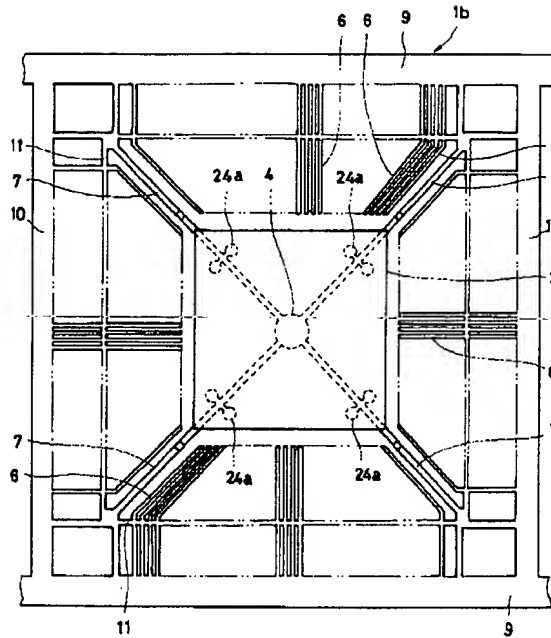


【図27】



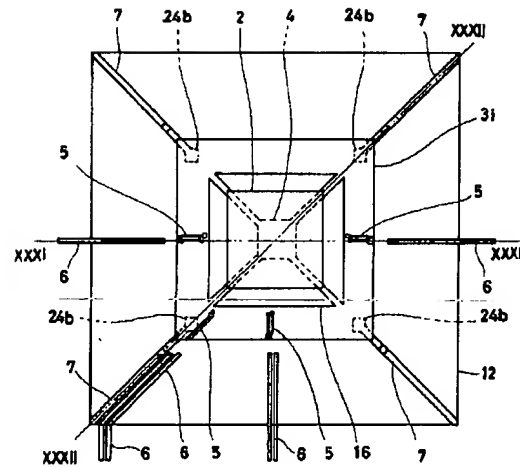
【図28】

図 28



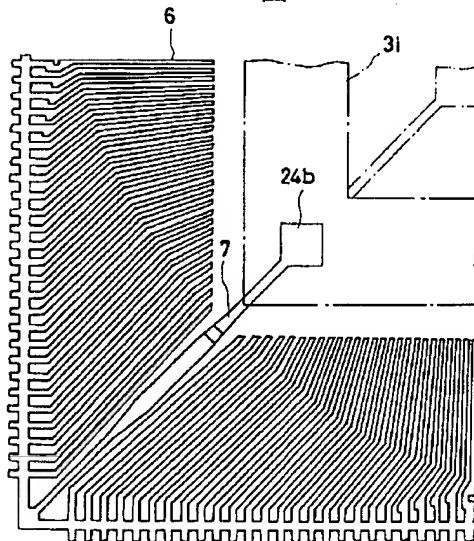
【図29】

図 29



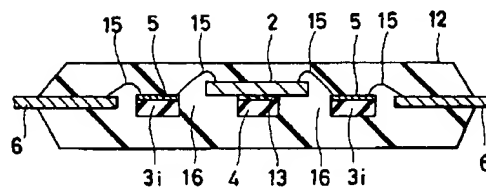
【図30】

図 30



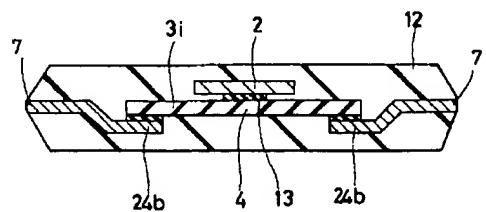
【図31】

図 31

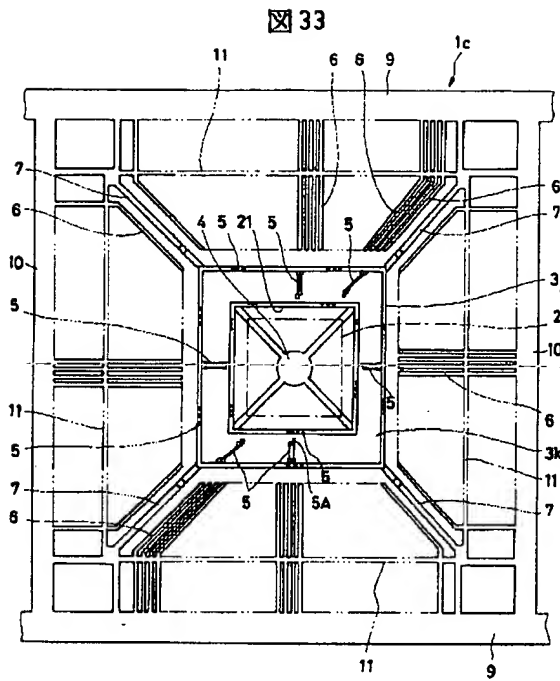


【図32】

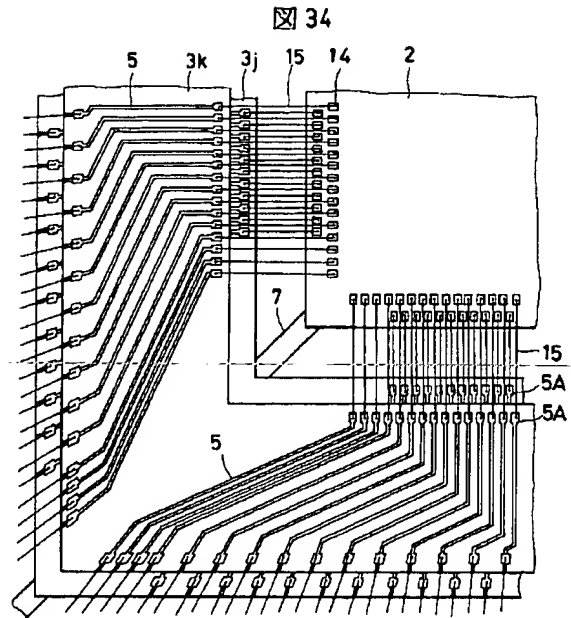
図 32



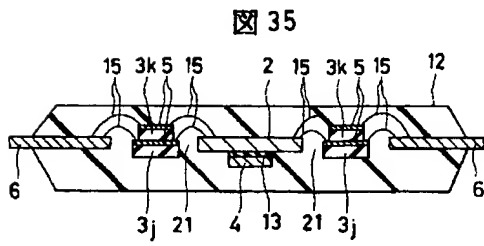
【図33】



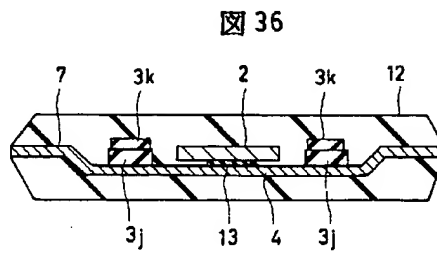
【図34】



【図35】

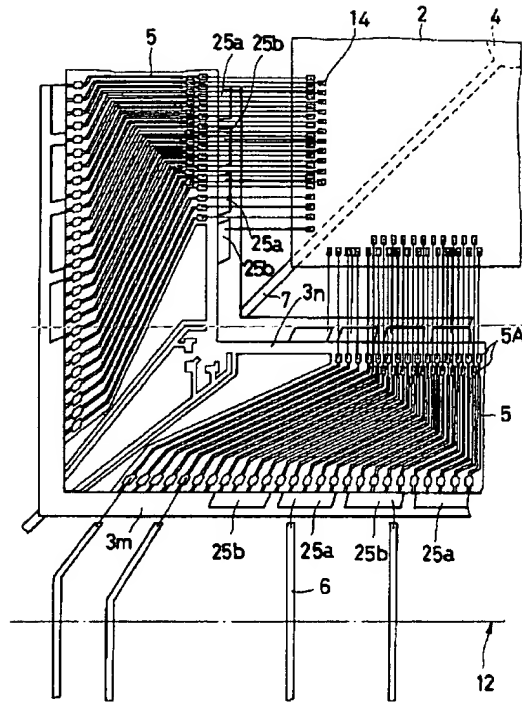


【図36】



【図37】

図 37



フロントページの続き

(72)発明者 塩月 敏弘
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 鈴木 博通
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 宮木 美典
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 内藤 孝洋
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 明山 健二
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 戸井田 徳次
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72)発明者 角谷 彰朗
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内